

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-195276

(43)Date of publication of application : 14.11.1983

(51)Int.Cl.

G06K 9/62
G06K 9/68

(21)Application number : 57-077242

(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.05.1982

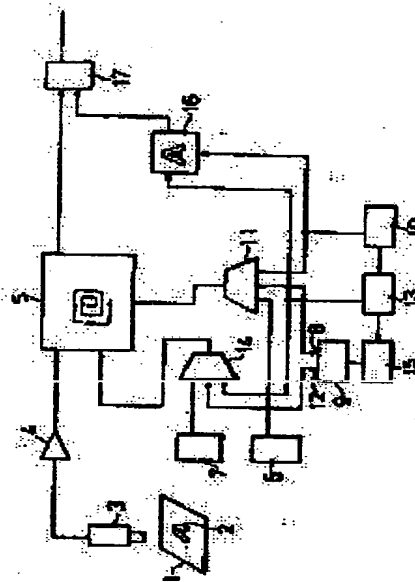
(72)Inventor : MITA KIKUO
ANDO MORITOSHI
KAKIGI GIICHI

(54) METHOD FOR MATCHING PATTERN

(57)Abstract:

PURPOSE: To speed up matching and to reduce the generation of malfunction by finding a temporary pattern center having high pattern probability and moving a matching pattern successively from the center to the periphery of the input pattern to match the pattern.

CONSTITUTION: The input pattern 2 of an object 1 to be recognized is read out by a TV camera 3, binary-coded by a binary-coding circuit 4 and successively stored in an input pattern memory 5 synchronously with the scanning of the camera 3. The temporary center positions of X and Y components of a matching pattern are set up in temporary center registers 6, 7 and the temporary centers of respective components are applied to adders 11, 14. In addition, the outputs of matching scanning counters 10, 13 for the X and Y components respectively and the X and Y component outputs 8, 12 of an offset memory 9 are applied to the circuit 11, 14 and the pattern 2 in the memory 5 is read out in a consistent degree counting circuit 17 by using the outputs of the circuits 11, 14 as the addresses. Subsequently, the mask pattern read out from a mask pattern memory 16 is successively moved to the periphery of the pattern 2 by a circuit 17 to match the pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—195276

⑮ Int. Cl.³
G 06 K 9/62
9/68

識別記号

庁内整理番号
6619—5B
6619—5B

⑬ 公開 昭和58年(1983)11月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ パターンマッチング方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭57—77242

⑰ 発 明 者 柿木義一

⑱ 出 願 昭57(1982)5月8日

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 三田喜久夫

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

富士通株式会社内

川崎市中原区上小田中1015番地

㉑ 発 明 者 安藤護俊

㉒ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

パターンマッチング方式

2. 特許請求の範囲

入力パターンメモリに記憶された入力パターンに対しマスクパターンメモリに記憶されたマスクパターンを順次に移動させながら入力パターンとマスクパターンとのマッチングをとるのに際し、パターンマッチング確率の高いパターン仮中心を求め、該パターン仮中心から上記マスクパターンを上記入カパターン周辺に向つて順次に移動させて上記入力パターンと上記マスクパターンとのマッチングをとることを特徴とするパターンマッチング方式。

3. 発明の詳細な説明

(1). 発明の技術分野

本発明は入力パターンとマスクパターンとのマッチングを施行するに際しそのマッチング確率の高い位置からマッチング処理を開始するようにしたパターンマッチング方式に関する。

(2). 発明の背景

入力パターンと予め記憶されているマスクパターンとの一致が得られるかどうかを調べる方式には、各種の方式が開発されているが、それらの方式は夫々固有の欠点を包蔵しており、上記両パターンのマッチングを得る方式としては、更に改良発展の余地があるのが実情である。

(3). 従来技術と問題点

従来のパターンマッチング方式の1つには、入力パターンのXY投影処理をなしそのヒストグラムからパターン中心を求めてパターン間のマッチングを施行する方式がある。この方式によると、入力パターン内に生ずる小さな汚れにより求めんとする中心がずれミスマッチングの原因となる。又、マスクパターンを入力パターンの端から順次に移動させてマッチングをとる方式があるが、この方式は処理時間が長くかゝるという欠点を有する。

(4). 発明の目的

本発明は上述のような従来方式の有する欠点

に照みて創案されたもので、その目的は高速で誤動作の少ないパターンマッチング方式を提供することにある。

(5). 発明の 成

そして、この目的は入力パターンメモリに記憶された入力パターンに対しマスクパターンメモリに記憶されたマスクパターンを順次に移動させながら入力パターンとマスクパターンとのマッチングの有無を調べるに際し、パターンマッチング確率の高いパターン仮中心を求め、その中心からマスクパターンを入力パターン周辺に向つて順次に移動させて入力パターンとマスクパターンとのマッチングをとることによつて達成される。

(6). 発明の実施例

以下、添付図面を参照しながら、本発明の実施例を説明する。

添付図面は本発明の実施例を示す。1は入力パターン2を有する被認識物で、その入力パターン2はTVカメラ3にて読取られ、二値化回

路4にて二値化された入力パターン 号はTVカメラ3の走査と同期して入力パターンメモリ5に順次に記憶されるように成されている。

6, 7は夫々、仮中心記憶レジスタで、レジスタ6には仮中心のX成分が、そしてレジスタ7には仮中心のY成分が置かれる。この仮中心は統計的手法、例えば入力パターンについて順次の移動を生ぜしめながら、パターンマッチング度を最大にする入力パターン点が最も集まる点を仮中心とすることによつて求められる。8はオフセットメモリ9のX成分オフセット量出力で、10はX成分用マッチング走査カウンタである。レジスタ6の出力、X成分オフセット量出力8、及びカウンタ10の出力は和算回路11を経てメモリ5のXアドレッシング回路へ接続されている。

12はオフセットメモリ9のY成分オフセット量出力で、13はY成分用マッチング走査カウンタである。レジスタ7の出力、Y成分オフセット量出力12、カウンタ13の出力は和算

回路14を経てメモリ5のYアドレッシング回路へ接続されている。そして、カウンタ13はカウンタ10のキャリー出力へ接続され、カウンタ10からキャリーがある度毎に1だけカウントアップされる。又、カウンタ13のキャリー出力はオフセットメモリ9のY成分オフセット量出力12へ接続され、カウンタ13からキャリーがある度毎にカウンタ13の値は1だけ進められる。カウンタ15の出力はメモリ9のアドレッシング回路へ接続されている。

カウンタ10及び13は夫々、マスクパターンメモリ16のXアドレッシング回路及びYアドレッシング回路へ接続されている。

そして、メモリ5, 16の出力は一致度計数回路17へ接続されている。

次に、上記構成を有する本発明実施例についての動作を説明する。

入力パターン2がTVカメラ3で読み取られ、その出力が二値化回路4で二値化されて入力パターンメモリ5へ記憶されるが、その際に統計

的手法によりパターンマッチング度を最大にする入力パターン点が最も集まる点、即ちパターン仮中心が求められ、そのX, Y座標の値が仮中心記憶レジスタ6, 7に記憶される。

次いで、入力パターンメモリ5の入力パターンとマスクパターンメモリ16のマスクパターンとの間にマッチングが得られるか否かのマッチング走査が開始される。

即ち、レジスタ6, 7の値によつて指定される仮中心を基準にして、マスクパターンメモリ16の記憶全域に相当する記憶領域が入力パターンメモリ5から切り出されてその記憶領域がビット直列に送出される一方、メモリ16の内容もビット直列に送出される。これを詳しく説明すると次のようになる。

マッチング走査の開始時には、メモリ9のいづれの出力8, 12も零であり、そしてカウンタ10, 13は零にリセットされる。マッチング走査の開始と共に、カウンタは所定時間毎に1だけカウントアップされていく。その値は和

算回路11でレジスタ6の値、X成分オフセット量出力8の値との和をとられてメモリ5のXアドレッシング回路へ供給されると共に、レジスタ7の値、Y成分オフセット量出力12の値、及びカウンタ13の値との和が和算回路14でとられ、その出力値がメモリ5のYアドレッシング回路へ供給されて、これら両和算出力によつて指定される入力パターンのビットが読出される。

一方、カウンタ10、13の値が夫々、メモリ16のX、Yアドレッシング回路へ供給されてそれら値によつて指定されるメモリ16のビットが読出される。

これらビットが一致度計数回路17で比較計数される。

このようなビットの比較計数はカウンタ10、13の値によつて指定されるメモリ16のビットと、和算回路11、14の出力値によつて指定されるビットとの比較計数を、カウンタ10からキャリーが出る、即ちメモリ16のX方向

一行分の読出しが完了する度にカウンタ13の値を1だけカウントアップさせつゝ施行し、カウンタ13からキャリーが出ることでメモリ16の記憶領域のすべてのビットと、レジスタ6、7の値とオフセット量出力8、12の値とで指定される上記記憶領域に相当する開始点から、カウンタ10、13の値によつて指定されるすべてのビット（これらのビットは上記記憶領域に相当し、メモリ5から切り出された記憶領域内の各ビットである）との比較計数が終了する。その時、一致度計数回路17から一致度を示す出力信号が出力される。

上述のようなカウンタ13からのキャリーが出る度にオフセット読出しカウンタ15が1だけカウントアップされる。このカウントアップ毎にメモリ5の切り出し領域は入力パターンの周辺に向つて順次移動される。例えば、図示の如く渦巻状に移動される。その移動の度に、メモリ16の記憶領域に相当する記憶領域がメモリ5から切り出されてこれら記憶領域の

全ビットが上述した比較計数動作に供されて、その終了時に一致度出力信号が一致度計数回路17から出力される。

そして、その一致度出力信号は、予め決められたレベルの範囲にあるか否かの判定に供されて、パターンマッチングが遂行される。その判定が肯定されることでその処理を終了する。

上述の如く、本発明によれば、パターンマッチングの開始点を統計的に決められるパターン仮中心（マッチング確率の高い点）に設定して入力パターンとマスクパターンとのマッチングの有無を調べていくから、マッチングの試行回数を減少させてマッチングの高速化を達成すると共に、誤動作を少なくし得る。

上記実施例においては、パターン仮中心からのマスクパターンの入力パターン周辺方向への移動を渦巻状に生じさせる例について説明したが、パターン仮中心から放射状に生じさせてもよい。

(7). 発明の効果

以上要するに、本発明によれば、パターンマッチングの開始点をマッチング確率の高い点に設定してマッチングを開始させているから、マッチングの高速化を実現出来るし、又誤動作の発生も減少させる等の効果を得られる。

4. 図面の簡単な説明

添付図面は本発明の一実施例を示す図である。

図において、5は入力パターンメモリ、6、7は仮中心記憶レジスタ、8はオフセットメモリ、10はX成分用マッチング定数カウンタ、13はY成分用マッチング定数カウンタ、15はオフセットメモリ読出しカウンタ、11、14は和算回路、16はマスクパターンメモリ、17は一致度計数回路である。

特許出願人 富士通株式会社

代理人 弁理士 松 岡 宏 四 郎

